

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-215585

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

G11C 16/06
G11C 11/409

(21)Application number : 05-020523

(71)Applicant : HITACHI LTD

(22)Date of filing : 13.01.1993

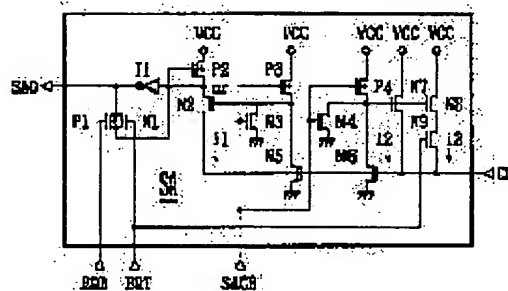
(72)Inventor : SATO HIROSHI
FURUNO TAKESHI
NAKAMURA TAKESHI

(54) SEMICONDUCTOR STORAGE

(57)Abstract:

PURPOSE: To accelerate the read operation of a flash memory, etc., provided with a current sense type sense amplifier and to thrust the acceleration in an access time.

CONSTITUTION: In the flash memory, etc., provided with the current sense type sense amplifier SA, a common data line CD is equalized to the logical threshold level of an inverter I1 becoming a level decision circuit by making MOSFET P1 and N1 an on state temporarily in the beginning of starting read operation. Then, the precharge of the common data line CD is performed by a first precharge MOSFET N8 having relatively large conductance and being made effective temporarily while the common data line is equalized and a second precharge MOSFET N7 having relatively small conductance and being made effective normally while a read signal is amplified.



LEGAL STATUS

[Date of request for examination] 05.01.2000

[Date of sending the examiner's decision of rejection] 05.03.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2002-05762

[Date of requesting appeal against examiner's decision of rejection] 04.04.2002

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

きい値電圧は比較的小さくされ、共通データ線CDに
は、読み出し電流I1とプリチャージ電流I4の加算値
すなわちI1+I4を超える比較的大きな読み出し電流
が流される。このため、内部ノードn rの電位はインパ
ンター11の論理スレッショルドレベルより低くなり、イ
ンター11の出力信号すなわちセンスアンプS A Hの出力
信号S A Hはハイレベルとなる。一方、メモリアレイ
の選択されたメモリセルが論理“0”のデータを保持す
るとき、このメモリセルのしきい値電圧は比較的大きく
され、共通データ線CDには、読み出し電流I1とプリ
チャージ電流I4の加算値すなわちI1+I4を下回る
比較的小さな読み出し電流が流される。このため、内部
ノードn rの電位はインパター11の論理スレッショル
ドレベルより高くなり、インパター11の出力信号すな
わちセンスアンプS A Hの出力信号S A Hはロウレベルと
なる。

(0007) ところで、MOSFETN5及びN6は、
共通データ線CDの電位が上昇するに当たって完全な
オン状態に近づき、MOSFETN2及びN8のゲート
電位を引き下げて、読み出し電流I1及びプリチャージ
電流I4の値を制限すべく作用する。この結果、プリチャ
ージMOSFETN8は、特に共通データ線CDの電
位が低い状態にある場合においてその電位を急速に上昇
せよとすべく作用し、これによって論理“0”の記憶デー
タの読み出し動作が高速化される。

(0008) しかし、本発明者等は、フラッシュメモ
リのさらなる高速化を推進しようとして、上記センスア
ンプS A Hの持つ次のような問題点に直面した。すなわ
ち、上記従来のフラッシュメモリでは、ビット線及び共
通データ線CDのイコライズが行われないために、読み
出し開始時における共通データ線CDの電位は一定しな
い。したがって、読み出し開始時における共通データ線
CDの電位が低い状態にある場合、前述のように、MO
S FETN8を介してプリチャージ電流I4が流される
ことによって共通データ線CDのプリチャージ動作が明
瞭されるが、読み出し開始時における共通データ線CD
の電位が高い状態にある場合には、MOSFETN8を
介してプリチャージ電流I4が流されることで選択され
たメモリセルによる共通データ線CDの電位低下が速
れ、論理“1”の記憶データの読み出し動作が遅くなっ
て、フラッシュメモリのアクセスタイムの高速化が制約
を受ける。

(0009) この発明の目的は、フラッシュメモリ等の
読み出し動作を高速化し、そのアクセスタイムの高速化
を推進することにある。

(0010) この発明の前提ならびにその他の目的と新
規な特徴は、この明細書の記述及び添付図面から明らか
になるであろう。

(0011)

W0～Wmは、XアドレスデコーダXDに結合され、取
引的に選択状態とされる。XアドレスデコーダXDに
は、XアドレスバスフアX Bからi+1ビットの内部ア
ドレス信号X0～Xiが供給されるとともに、電源電圧
VCCと図示されない電圧発生回路によって形成される
所定の制御電圧VP1～VP4ならびにVG1が供給さ
れる。また、XアドレスバスフアX Bには、アドレス入
力端子AX0～AXiを介してXアドレス信号AX0～
AXiが供給され、ソーススイッチSSには、上記電圧
発生回路によって形成される制御電圧VP2が供給され
る。

(0016) ここで、電源電圧VCCは、特に制限され
ないが、+3V (ボルト) のような比較的絶対値の小さ
な正の電圧電圧とされる。一方、制御電圧VP1は、+
2.5Vのような正電位とされ、制御電圧VP2は、+4
Vのような正電位とされる。また、制御電圧VP3は、+
5Vのような正電位とされ、制御電圧VP4は、+12
Vのような比較的大きな正電位とされる。制御
電圧VG1は、-10Vのような比較的大きな
負電位とされる。

(0017) XアドレスバスフアX Bは、アドレス入力

選択時	ソース (ソース線SL) ゲート (ワード線W0～Wm) ドレイン (ビット線B0～Bn)	VP2 (+4V) VG1 (-10V) 開放状態
	ソース (ソース線SL) ゲート (ワード線W0～Wm) ドレイン (ビット線B0～Bn)	VP2 (+4V) VP2 (+4V) 開放状態

(0020) 一方、消去動作確認のための消去バリア
イモードにおけるワード線W0～Wmの選択レベルは、
表2に示されるように、制御電圧VP1つまり+2.5

Vとされ、その非選択レベルは、接地電位VSSつまり
0Vとされる。このとき、選択及び非選択メモリセルの

選択時	ソース (ソース線SL) ゲート (ワード線W0～Wm) ドレイン (ビット線B0～Bn)	VSS (0V) VP1 (+2.5V) +1V程度
	ソース (ソース線SL) ゲート (ワード線W0～Wm) ドレイン (ビット線B0～Bn)	VSS (0V) VSS (0V) +1V程度

(0022) 次に、書き込みモードにおけるワード線
W0～Wmの選択レベルは、表3に示されるように、制御
電圧VP4つまり+12Vとされ、その非選択レベル
は、接地電位VSSつまり0Vとされる。このとき、選
択メモリセルのドレインつまりビットB0～Bnには、
書き込みデータに応じて制御電圧VP3つまり+5V

端子AX0～AXiを介して供給されるXアドレス信号
AX0～AXiを取り込み・保持するとともに、これら
のXアドレス信号をもとに内部アドレス信号X0～Xi
を形成して、XアドレスデコーダXDに供給する。内部
アドレス信号X0～Xiは、後述するアドレス選択線出
回路ATDに供給される。XアドレスデコーダXD
は、内部アドレス信号X0～Xiをデコードして、メモ
リアレイMAR Yの対応するワード線W0～Wmを取
引的に動作モードに応じた所定の選択レベルとする。

(0018) この実施例において、消去モードにおける
ワード線W0～Wmの選択レベルつまり選択メモリセル
のゲート電位は、特に制限されないが、表1に示され
るように、制御電圧VG1つまり-10Vとされ、その非
選択レベルつまり非選択メモリセルのゲート電位は、制
御電圧VP2つまり+4Vとされる。このとき、選択及
び非選択メモリセルのソース電位つまりソース線SL
は、後述するソーススイッチSSによってともに制御電
圧VP2つまり+4Vとされ、そのドレインつまりビッ
ト線B0～Bnはともに開放状態とされる。

(0019)

(0021) 消去モードにおける選択・非選択レベル

ソース電位は、ともに接地電位VSSつまり0Vとさ
れ、そのドレインはともに+1V程度とされる。

(0021)

(0022) 消去バリアイモードにおける選択・非選択レ
ベル

は接地電位VSSつまり0Vが選択的に供給され、非選
択メモリセルのドレインには+5Vが供給される。選択
及び非選択メモリセルのソース電位つまりソース線SL
は、ともに接地電位VSSつまり0Vとされる。

(0023)

(0023) 書き込みモードにおける選択・非選択レベル

選択時	ソース (ソース線SL) ゲート (ワード線W0~Wm) ドレイン (ビット線B0~Bn)	VSS (0V) VP4 (+1.2V) VP3 (+5V) 又はVSS (0V)
	ソース (ソース線SL) ゲート (ワード線W0~Wm) ドレイン (ビット線B0~Bn)	VSS (0V) VSS (0V) VP3 (+5V)
非選択時		

【0024】一方、書き込み確認のための書き込みベリソース電位は、ともに接地電位VSSつまり0Vとさファイモードにおけるワード線W0~Wmの選択レベルれ、そのドレインはともに+1V程度とされる。

【0025】

は、表4に示されるように、制御電圧VP3つまり+5Vとされ、その非選択レベルは、接地電位VSSつまり0Vとされる。このとき、選択及び非選択メモリセルの

選択時	ソース (ソース線SL) ゲート (ワード線W0~Wm) ドレイン (ビット線B0~Bn)	VSS (0V) VP3 (+5V) +1V程度
	ソース (ソース線SL) ゲート (ワード線W0~Wm) ドレイン (ビット線B0~Bn)	VSS (0V) VSS (0V) +1V程度
非選択時		

【0026】

【表5】読み出しモードにおける選択・非選択レベル

選択時	ソース (ソース線SL) ゲート (ワード線W0~Wm) ドレイン (ビット線B0~Bn)	VSS (0V) VCC (+3V) +1V程度
	ソース (ソース線SL) ゲート (ワード線W0~Wm) ドレイン (ビット線B0~Bn)	VSS (0V) VSS (0V) +1V程度
非選択時		

【0027】さらに、読み出しモードにおけるワード線W0~Wmの選択レベルつまり選択メモリセルのゲート電位は、表5に示されるように、電源電圧VCCつまり+3Vとされ、その非選択レベルつまり非選択メモリセルのゲート電位は、接地電位VSSつまり0Vとされる。このとき、選択及び非選択メモリセルのソース電位つまりソース線SLは、ともに接地電位VSSつまり0Vとされ、そのドレインつまりビット線B0~Bnは、ともに+1V程度とされる。

【0028】ソーススイッチSSは、上記表1~表5に示されるように、ソース線SLを介してメモリアレイARYを構成するすべてのメモリセルMCのソースに動作モードに応じた所定のソース電圧を供給する。すなわち、ソーススイッチSSは、フラッシュメモリが消去モードとされるとき、制御電圧VP2つまり+4Vのソース電圧をすべてのメモリセルMCのソースに供給し、フ

ラッシュメモリが消去ベリファイモード、書き込みモード、書き込みベリファイモード又は読み出しモードとされるとき、接地電位つまり0Vのソース電圧を供給する。

【0029】メモリアレイMARYを構成するビット線B0~Bnは、ソーススイッチYSに結合され、このソーススイッチを介して共通データ線CDに選択的に接続される。ここで、ソーススイッチYSは、図2に示されるように、メモリアレイMARYのビット線B0~Bnに対応して設けられるNチャネル型のn+1個のソーススイッチMOSFETNSを含む。これらのソーススイッチMOSFETのゲートには、Yアドレスデコーダから対応するビット線選択信号YS0~YSnが供給される。YアドレスデコーダYDには、YアドレスバスフッAYBからj+1ビットの内部アドレス信号Y0~Yjが供給され、YアドレスバスフッAYBには、アドレス入力端子AY0~AYjを介

つまり+5Vとされ、そのロウレベルは接地電位VSSつまり0Vとされる。

【0034】一方、センスアンプSAは、いわゆる電流センス型のセンスアンプとされ、フラッシュメモリが読み出しモードで選択状態とされるとき、相補内部制御信号EQ*及びSA*に従って選択的に動作状態とされる。この動作状態において、センスアンプSAは、メモリアレイMARYの選択された1個のメモリセルから其出データ線CDを介して電流信号として出力される読み出し信号を、電圧信号に変換して増幅し、データ出力バッファOBに伝達する。データ出力バッファOBは、センスアンプSAを介して伝達される読み出し信号をさらに増幅して、データ出力端子DIOから出力する。なお、センスアンプSAの具体的な構成については、後で詳細に説明する。

【0035】タイミング発生回路TGは、外部から起動制御信号として供給されるチップインネーブル信号CEB、ライトインネーブル信号WEB及び出力カインネーブル信号OEBとアドレス選択回路ATDの出力信号ATDOとをもとに各種の内部制御信号を選択的に形成し、フラッシュメモリの各回路に供給する。

【0036】図3には、図1のフラッシュメモリに含まれるセンスアンプSAの第1の実施例の回路図が示される。図4には、その一実施例の信号波形図が示されている。これらの図をもとに、この実施例のフラッシュメモリに含まれるセンスアンプSAの具体的な構成及び動作ならびにその特徴について説明する。

【0037】図3において、この実施例のセンスアンプSAは、電源電圧VCC (第1の電源電圧)と共通データ線CDとの間に純列形態に設けられるPチャネルMOSFETP2及びNチャネルMOSFETN2を含む。このうち、MOSFETP2のゲートは、そのドレインすなわち内部ノードnrに結合されるとともに、内部ノードnrつまり共通データ線CDに対するレベル判定回路となるインバータI1の入力端子に結合される。また、MOSFETN2のゲートは、PチャネルMOSFETP3を介して電源電圧VCCに結合されるとともに、2個のNチャネルMOSFETN3及びN5を介して回路の接地電位に結合される。MOSFETP3及びN3のゲートには、反転内部制御信号SACBが供給され、MOSFETN5のゲートは共通データ線CDに結合される。ここで、反転内部制御信号SACBは、図4に示されるように、チップインネーブル信号CEBがロウレベルとされるとき、所定のタイミングで電源電圧VCCとされるとき、所定のタイミングで電源電圧VCCのよ

してYアドレス信号AY0~AYjが供給される。

【0030】YアドレスバスフッAYBは、アドレス入力端子AY0~AYjを介して供給されるYアドレス信号AY0~AYjを取り込み・保持するとともに、これらのYアドレス信号をもとに内部アドレス信号Y0~Yjを形成して、YアドレスデコーダYDに供給する。内部アドレス信号Y0~Yjは、アドレス選択回路ATDにも供給される。YアドレスデコーダYDは、YアドレスバスフッAYBから供給される内部アドレス信号Y0~Yjをデコードして、対応するビット線選択信号YS0~YSnを択一的に電源電圧VCCのよなハイレベルとする。この結果、ソーススイッチYSの対応するスイッチMOSFETNSが択一的にオン状態とされ、これによってメモリアレイMARYの対応するビット線B0~Bnが共通データ線CDに選択的に接続状態とされる。

【0031】アドレス選択回路ATDは、内部アドレス信号X0~XiならびにY0~Yjをモニタし、これらの内部アドレス信号の論理レベルが1ビットでも反転されるとき、その出力信号ATDOを一時的にハイレベルとする。このアドレス選択回路ATDの出力信号ATDOはタイミング発生回路TGに供給され、これをもとにセンスアンプSA等の動作を制御するための所定の内部制御信号が選択的に形成される。

【0032】共通データ線CDは、ライトアンプWAの入出力端子に結合されるとともに、センスアンプSAの入出力端子に結合される。ライトアンプWAの入出力端子はデータ入力カバッファIBの出力端子に結合され、センスアンプSAの出力端子はデータ出力カバッファOBの入出力端子に結合される。データ入力カバッファIBの入出力端子とデータ出力カバッファOBの出力端子は、データ入力カバッファIOに共通結合される。センスアンプSAには、タイミング発生回路TGから相補内部制御信号EQ* (ここで、例えば非反転内部制御信号EQTと反転内部制御信号EQBとを合わせて相補内部制御信号EQ*のようになし)を付して表す。また、それが有効とされるとき選択的にハイレベルとされるいわゆる非反転信号等についてはその名称の末尾にTを付して表し、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号等についてはその名称の末尾にBを付して表す。以下同様)及びSA*が供給される。

【0033】データ入力カバッファIBは、フラッシュメモリが書き込みモードで選択状態とされるとき、データ入力端子PIを介して入力される書き込みデータを、取り込み、ライトアンプWAに伝達する。ライトアンプWAは、データ入力カバッファIBを介して伝達される書き込みデータを所定の書き込み信号とし、共通データ線CDを介してメモリアレイMARYの選択された1個のメモリセルMCに書き込む。なお、ライトアンプWAから共通データ線CDを介して選択されたメモリセルに供給される書き込み信号のハイレベルは、制御電圧VP3

シミュモリが選択状態とされ反転内部制御信号SACBがロウレベルとされるとき選択的にオン状態となり、MOSFETN2をオン状態とする。このとき、MOSFETP2は、反転内部制御信号SACBのロウレベルを受けてオン状態とされた。したがって、メモリアレイの選択状態とされたメモリセルには、これらのMOSFETP2及びN2から共通データ線CDを介して所定の読み出し箱通し1が供給される。フラッシュメモリが非選択状態とされ反転内部制御信号SACBがハイレベルとされるとき、センスアンプSAでは、MOSFETP2及びP3がオフ状態となり、MOSFETN2もオフ状態となり、共通データ線CDは、いわゆるフローティング状態となり、共通データ線CDは、いわゆるフローティング状態となる。

【0039】ところで、この実施例のセンサアンプSVAは、インバータ11の入力端子及び出力端子間に接続される一対のPチャネルMOSFETP1及びNチャネルMOSFETN1からなる相補スイッチを含む。この相補スイッチを構成するMOSFETP1のゲートには、反転内部制御信号EQBが供給され、MOSFETN1のゲートには、非反転内部制御信号EQTが供給される。ここで、反転内部制御信号EQBは、図4に示されるように、チップインーブル信号CEBの立ち下がりを受けてフラッシュメモリが選択状態とされること、あるいは内部アドレス信号X0～X1又はY0～Y1がビットでも変化されることでアドレス選択検出回路ATDの出力信号ATDOがハイレベルとされること、言い換えるならばセンサアンプSVAによる読み出し信号の増幅動作が行われる当初において一時的にロウレベルとされる。言うまでもなく、非反転内部制御信号EQTは、反転内部制御信号EQBがロウレベルとされるときハイレベルとされ、ハイレベルとされたときロウレベルとされる。

【0040】これにより、MOSFETP1及びN1は、反転内部制御信号EQBがロウレベルとされ非反転内部制御信号EQTがハイレベルとされ、言い換えるならばセンサ用SA1による読み出し信号の増幅動作が行われる当期において一時的にオン状態となりインパルスタ11の入力端子及び出力端子を短絡して、内部ノードn_rの電位をインパルスタ11の論理スレッシホールドレベルVRとする。前述のように、反転内部制御信号EQBがロウレベルとされ、反転内部制御信号EQTがハイレベルとされると、反転内部制御信号SACBはロウレベルとされ、EQTはロウレベルとされ、MOSFETN2はオン状態とされる。この結果、非逆データ線CDとメモリアレイMA₀～MA_nがハイレベルとされ、ビット線B₀～B_nが、上記論理スレッシホールドレベルVRにコラライズされるものとなる。

【0041】センサ用SA1は、さらに、電源電圧V_{CC}と共通データ線CDとの間に直列形態に設けられ、NチャネルMOSFETN8（第1のプリチャージ）M

OSPFET)及びN9と、これらのMOSFETと並列に形成されるもう1個のNチャネルMOSFET(底部に設けられるもう1個のNチャネルMOSFET N7(第2のブリチャージMOSFET))とを含む。このうち、MOSFETN9のゲートには、非反転内部制御信号EQTが供給される。また、MOSFETN8のゲートは、PチャネルMOSFETP4を介して電源電圧VCCに結合されるとともに、2個のNチャネルMOSFETN4及びN6を介して回路の接地電位に結合される。MOSFETP4及びN4のゲートは、上記反転内部制御信号SACが供給され、MOSFETN5のゲートは共通データ線Cに結合される。この実施例において、MOSFETN8は、比較的大きなコンダクタンスを持つべく比較的大きなサイズをもって形成され、MOSFETN7は、MOSFETN8に比較して小さなコンダクタンスを持つべく比較的小さいサイズをもって形成される。

【0042】これらのことから、MOSFETP4は、フラッシュメモリが選択状態とされ反転内部制御信号SACBがロウレベルとされるととき動的にオン状態となり、MOSFETN7及びN8をオン状態とする。このとき、MOSFETN9は、非反転内部制御信号EQTがハイレベルとされる期間だけ一時的にオン状態とされ、これによってMOSFETN4が電圧的な有効状態となる。この結果、共通データ線CDには、非反転内部制御信号EQTがハイレベルとされる期間だけ、言い換えるならばセンスアンプSAによる読み出し信号の増幅動作が行われる当初において、MOSFETN8を介する比較の大きなブリッチャ電流I3とMOSFETN7を介する比較の小さなブリッチャ電流I2とが同時に供給される。前述のように、非反転内部制御信号EQTがハイレベルとされると、センスアンプSAではMOSFETP1及びN1による共通データ線CDのイコライズが行われる。したがって、共通データ線CDの電位は、直前の読み出し動作においてその電位がロウレベルとされていた場合でも、論理スレッショルドレベルVRMで急速に上昇されるものとなる。

【0043】所定の時間が経過して非反転内部制御信号EとQがロウレベルとされると、センスアンプSAでは、MOSFETN9がオフ状態とされ、ブリチャージMOSTP8は無効状態とされる。したがって、共通データ線には、MOSFETN7を介する比較的小さなブリチャージ電流I₂が供給されしもの、MOSFETPT2及びNT2を介する読み出し電流I₁が供給される。このとき、MOSFETPT1及びNT1は、前述のよううに、反転内部制御信号EQBのハイレベルと非反転内部制御信号EQTのロウレベルを受け付く状態でとされたとす。そのため、共通データ線CDの電位は、メモリアレイMARVの選択されたメモリセルが論理“0”のデータを保持するとき、ブリチャージ電流I₂及び読み出し電流I₁によってさらに上昇し、メモリアレイMARV

の選択されたメモリセルが論理“1”のデータを保持するときに、このメモリセルを介する引き抜き電流によって、徐々に低下する。共通データ線CDのレベル変化は、レベル判定回路となるインバータ11によって判定され、その出力信号つまりはセンスアンプSAの出力信号SAHはロウレベル又はハイレベルのデータに対応する。

【0044】ところで、メモリアレイMARYYの選択されたメモリセルの保持データに従って其データ線CDの電位が選択的に変化されるとき、センスアンプSAでは、前述のように、比較的小きなコンダクタンスを有するプリチャージMOSFET7のみがオン状態とされる。このため、直前の読み出し動作において其データ線CDの電位がハイレベルとされている場合でも、メモリアレイMARYYの選択されたメモリセルによる其データ線CDの電位引き抜きは速やかに行われ、これによって論理“1”の記憶データの読み出し動作も高速化される。

【0045】図5には、図1のフラッシュメモリに含まれるセンサンプS Aの第2の実施例の回路図が示されている。同図により、この発明が適用されたセンサンプのもう一つの実施例の具体的な構成及び動作ならびにその特徴について説明する。なお、この実施例のセンサンプS Aは、前記図2の実施例を基本的に踏襲するものであるため、これと異なる部分についてののみ説明を追加する。

【0046】図5において、この実施例のセンシング回路は、Nチャネル型の駆動MOSFETNB及びPNMOSFETPAを含む。これらの駆動MOSFETPAのドレインは、対応するPチャネルMOSFETPT6及びPT7を介して電源電圧VCCに結合され、その共通結合されたソースは、Nチャネル型の駆動MOSFETNEを介して回路の接地電位に結合される。MOSFETNCのゲートは、内部ノードnrに結合され、MOSFETNBのゲートは、PチャネルMOSFETPT6ならびにNチャネルMOSFETPTNA及びPNDからなる定電圧発生回路から所定の基準電位VRが供給される。一方、MOSFETPT6のゲートは、そのドレインに共通結合された後、MOSFETPT7のゲートに結合される。また、駆動MOSFETNE及びMOSFETPAには、非反転内部制御信号SACTが供給される。これにより、MOSFETPT6及びPT7は電流ミラー形態となり、駆動MOSFETNB及びMNCに対するアクティブ負荷として作用する。また、駆動MOSFETNB及びMNCは、これらの負荷MOSFETPT6及びPT7ならびに駆動MOSFETPTNAとともに、非反転内部制御信号SACTがハイレベルとされたことで選択的に動作状態とされかつ上記基準電位VRをその過渡期的レグレーションレベルに決定するレギュレーション回路を構成する。

【0047】差動MOSFETNB及びNCを中心とするレベル判定回路の反転出力信号すなわちMOSFET

NC及びP7の共通結合されたドレイン電位は、インプ
ータ1・2によって反転された後、センスアンプSAの出
力信号SAOとなる。一方、レベル判定回路の反転入力
端子すなわちMOSFETNBのゲートとその非反転入
力端子すなわちMOSFETNCのゲートとより内部ノ
ードnrとの間には、PチャンネルMOSFETPI及び
びNIからなる相補スイッチが設けられる。このうち、
MOSFETPIのゲートには反転内部制御信号EQB
が供給され、MOSFETNIのゲートには非反転内部
制御信号EQTが供給される。MOSFETPI及びNI
1は、反転内部制御信号EQBがロウレベルとされ非反
転内部制御信号EQTがハイレベルとされることで、音
い換えなればセンスアンプSAよる読み出し信号の増
幅動作が行われる当初において一時的にオン状態とな
り、内部ノードnrつまりは共通データ線CDの電位を
基準電位VRつまりは変動MOSFETNB及びVNCを
中心とするレベル判定回路の論理レベルセンスアンプ
にイコライズする。この結果、この実施例のセンスア
ンプSAにおいて、前記図3の実施例と同様な効果を得
ることができるものとなる。

【0048】以上の実施例に示されるように、この発明明を電流センサ型のセンサアンプを備えるフラッシュメモリ等の半導体記憶装置に適用することで、次のような作用効果を得ることができる。すなわち、

(1) 電流センサ型のセンサアンプを備えるフラッシュメモリー等において、非逆データ線を、読み出し動作が開始される当初、センサアンプのレベル判定回路の論理スレッチホールドレベルにイコライズすることで、レベル判定回路による読み出し信号のレベル判定動作を安定化できるという効果を得られる。

【0049】（2）上記（1）項において、共通データ線のプリチャージを、比較的大きなコンダクタンスを有する共通データ線のイコライズが行われる間一時的に有効とされる第1のプリチャージMOSFETと、比較的小さなコンダクタンスを有し読み出し信号の増幅動作が行われる間定常的に有効とされる第2のプリチャージMOSFETとにより行うことで、選択されたメモリセルの読み出し信号による共通データ線のレベル変化に影響を与えずに、共通データ線のプリチャージを高速化できるとする。

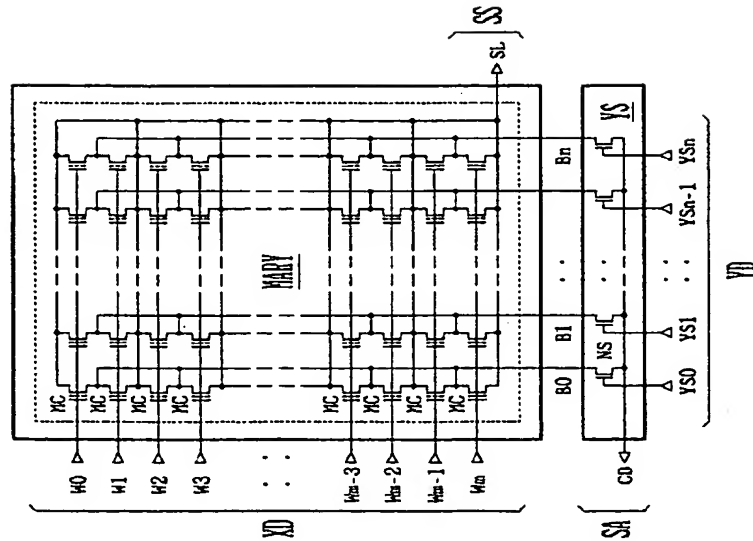
(3) 上記(1)項及び(2)項により、読み出し信号の論理レベルの如何にかかわらず、センスアンプのレベル判定動作を高速化できるという効果が得られる。

(4) 上記(1)項～(3)項により、フラッシュメモリの読み出し動作を高速化し、そのアクセスタイムの高速化を推進できるという効果が得られる。

【００５０】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で変形可能である。

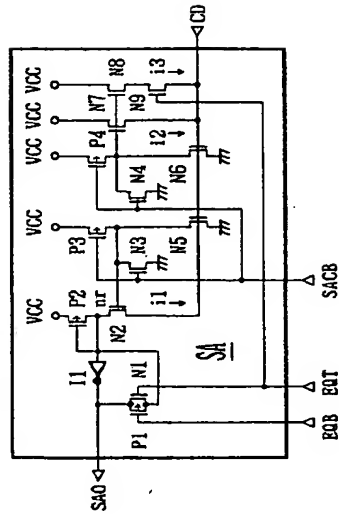
(図2)

図2 メモリアレイ回路図



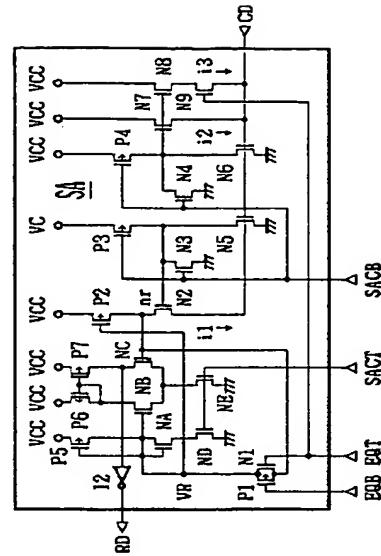
(図3)

図3 センスアンプ回路図 (実施例1)



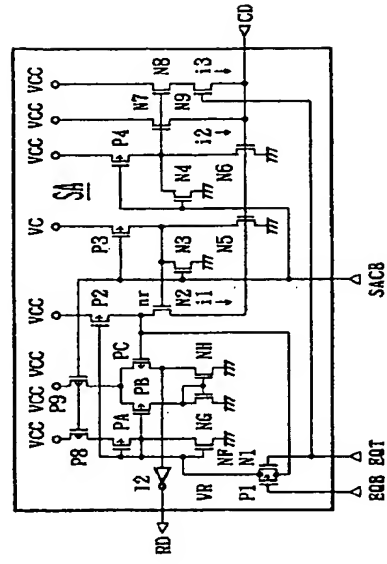
(図5)

図5 センスアンプ回路図 (実施例2)



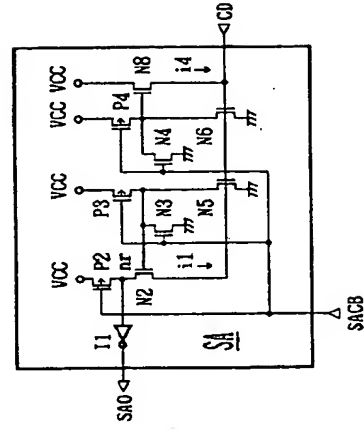
(図6)

図6 センスタンプ回路図 (実施例3)



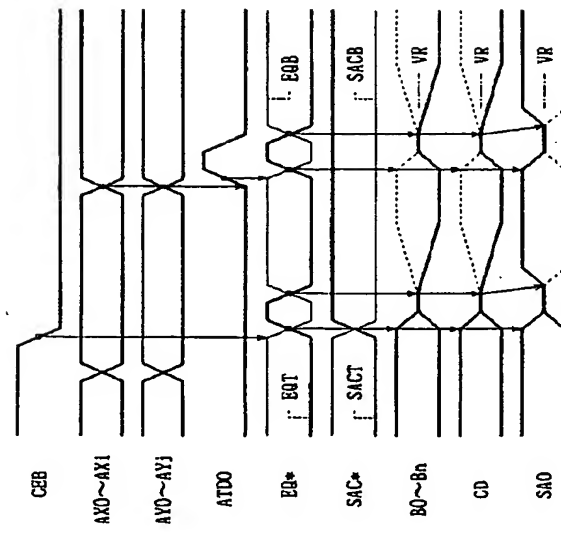
(図7)

図7 センスタンプ回路図 (従来例)



(図4)

図4 センスタンプ信号波形図



EB*, SACT*, B0~Bn, CD, SA0 [— 論理"1"出力
--- 論理"0"出力]